BEST AVAILABLE COPY

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010094843 A
(43)Date of publication of application: 03.11.2001

(21)Application number:	1020000018202	(71)Applicant:	ANAM SEMICONDUCTOR INC.
(22)Date of filing:	07.04.2000	(72)Inventor:	PARK, GEON-OOK
(51)Int. Cl	H01L 21/316		

(54) METHOD FOR MANUFACTURING PREMETAL DIELECTRIC LAYER OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A fabrication method of a premetal dielectric layer of a semiconductor device is provided to improve a threshold voltage and to prevent a leakage current of a PMOS by preventing diffusion of boron ions into a silicon wafer.

CONSTITUTION: An MOS transistor(13) having a source(S), a drain(D) and a gate(G) is formed on a silicon wafer(11). A liner nitride layer(15) is deposited on the resultant structure by PECVD(plasma enhanced CVD). Plasma treatment is then performed to the surface of the liner nitride layer(15) by using a UV(ultraviolet) ozone(O3) treatment, thereby removing hydrogen existed in the liner nitride layer(15). Then, a BPSG(borophosphor silicate glass) layer(16) as a premetal dielectric layer is deposited on the liner nitride layer(15).

&copy; KIPO 2002

Legal Status
Date of final disposal of an application (20021010)
Patent registration number (1003615760000)
Date of registration (20021106)
Date of opposition against the grant of a patent (00000000)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. ^{7}
H01L 21/316

(11) 공개번호 특2001-0094843
(43) 공개일자 2001년11월03일

(21) 출원번호 10-2000-0018202
(22) 출원일자 2000년04월07일

(71) 출원인
아남반도체 주식회사
황인길
서울특별시 강남구 삼성동 154-17

(72) 발명자
박건욱
서울특별시성북구돈암1동현대아파트2-나동201호

(74) 대리인
송만호
유미특허법인(대표변리사김원호송만호)

심사청구 : 있음

(54) 반도체 소자의 금속전 절연막 제조 방법

요약

반도체 소자의 금속전 절연막인 BPSG막 증착시 붕소 이온이 실리콘웨이퍼측으로 침투하는 것을 방지하기 위하여, 반도체 소자의 금속전 절연막인 BPSG막이 실리콘웨이퍼에 바로 접촉할 경우 BPSG막에 함유된 붕소나 인 등의 불순물이 반도체 소자를 포함하는 실리콘웨이퍼로 침투하는 것을 방지할 뿐만 아니라 후속 콘택홀 형성을 위한 BPSG막의 식각 공정에서 식각 정지층으로 사용하기 위하여 BPSG막의 증착 이전에 하부막으로 증착되는 라이너 질화막의 표면을 자외선 오존 처리하여 라이너 질화막의 표면 및 표면 근처의 수소를 제거한 후 BPSG막을 증착하는 것으로, 종래와 같이 라이너 질화막 표면의 수소와 BPSG막의 B-O의 반응에 의한 붕소 이온의 생성을 방지하여 붕소 이온의 실리콘웨이퍼로의 침투를 미연에 방지할 수 있으며, 이로 인해 야기되는 PMOS에서의 문턱전압 감소나 누설 전류를 막아 반도체 소자의 열화를 방지할 수 있다.

대표도
도 2c

색인어
금속전 절연막, 라이너 질화막, BPSG, 자외선 오존 처리

명세서

도면의 간단한 설명

도 1a 내지 도 1b는 종래 반도체 소자의 금속전 절연막을 제조하는 방법을 개략적으로 도시한 공정도이고,

도 2a 내지 도 2c는 본 발명의 일 실시예에 따라 반도체 소자의 금속전 절연막을 제조하는 방법을 개략적으로 도시한 공정도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자를 제조하는 공정에 관한 것으로, 더욱 상세하게는 반도체 소자를 제조하는 공정 중 반도체 소자가 형성된 실리콘웨이퍼와 금속 배선층 사이를 전기적으로 절연하기 위한 반도체 소자의 금속전 절연막(premetal dielectric layer)을 제조하는 방법에 관한 것이다.

일반적으로 반도체 소자를 제조하는 공정에서 모스 트랜지스터 등의 반도체 소자가 형성된 실리콘웨이퍼와 금속 배선층을 전기적으로 절연하기 위하여 금속전 절연막을 산화막으로 형성하게 되는 데, 산화막의 증착시 금속 배선층 형성 이전의 평탄화, 나트륨 이온(Na^+) 게터링(gettering) 등의 목적으로 붕소(boron)나 인(phosphorous)을 함유하는 반응물을 첨가하여 $SiO_2-B_2O_3-P_2O_5$의 BPSG(borophospho silicate glass)막을 형성하고 있다.

그러면, 도 1a와 도 1b를 참조하여 종래 반도체 소자의 금속전 절연막을 제조하는 방법을 개략적으로 설명한다.

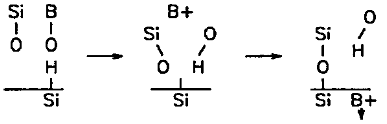
먼저 도 1a에 도시한 바와 같이, LOCOS(local oxidation of silicon) 공정이나 STI(shallow trench isolation) 공정 등으로 형성한 필드 산화막(2)에 의해 소자 분리 영역이 정의된 실리콘웨이퍼(1)의 소자 영역에 게이트 산화막과 폴리실리콘으로 형성된 게이트(G) 및 소스(S), 드레인(D)을 포함하는 모스 트랜지스터(3)를 형성한다. 그리고, 게이트(G) 및 소스(S), 드레인(D) 상부 표면에 후속 금속 배선층과의 콘택 저항을 저감하기 위한 실리사이드(4)를 형성한다. 이후, 후속 공정에 의해 증착되는 금속전 절연막인 BPSG막이 실리콘웨이퍼(1)에 바로 접촉할 경우 BPSG막에 함유된 붕소나 인 등의 불순물이 모스 트랜지스터(3)를 포함하는 실리콘웨이퍼(1)로 침투하는 것을 방지할 뿐만 아니라 후속 콘택홀 형성을 위한 BPSG막의 식각 공정에서 식각 정지층으로 사용하기 위하여 모스 트랜지스터(3)를 포함한 실리콘웨이퍼(1) 상부 전면에 라이너(liner) 질화막(5)을 증착한다.

그 다음 도 1b에 도시한 바와 같이, 라이너 질화막(5) 상부 전면에 금속전 절연막으로 TEOS(tetraethylorthosilicate)계 BPSG막(6)을 APCVD(atmospheric pressure chemical vapor deposition) 또는 SACVD(sub-atmospheric chemical vapor deposition) 방법에 의해 약 14000Å 정도의 두께로 증착한다. 이때, 증착된 BPSG막(6)은 B-O, P-O, Si-O 간의 결합이 느슨하여 외부의 화학적, 기계적 충격에 쉽게 끊어지는 특징이 있다. 따라서 안정된 BPSG막(6)을 얻기 위하여 700℃ 정도의 온도에서 치밀화 공정을 진행한다. 그러면 치밀화 공정에 의해 BPSG막(6)은 치밀화 공정 이전에 비하여 화학적, 기계적 강도가 약 3배 정도 강화된다. 이후, BPSG막(6)을 평탄화함으로써 반도체 소자의 금속전 절연막을 완성한다.

이와 같은 종래의 방법에서 라이너 질화막(5)을 증착하기 위하여 플라즈마와 저온을 이용하는 PECVD(plasma enhanced chemical vapor deposition) 방법과 저압, 고온을 이용하는 LPCVD(low pressure chemical vapor depositio) 방법 등을 사용하고 있으며, 특히 최근에는 저온 공정이 가능한 PECVD 방법을 주로 사용하고 있다. 그러나, PECVD 방법에 의한 사일렌(SiH_4)과 암모니아(NH_3)의 반응에 의해 증착된 라이너 질화막(5)은 LPCVD 방법에 의해 증착된 라이너 질화막에 비하여 비정량적이며, 이러한 이유로 PECVD 라이너 질화막(5)은 도 1b의 A1에 도시한 바와 같이 사일렌과 암모니아의 분해과정에서 생성되는 수소(H)를 다량 함유(약 20 내지 30 mole% ; LPCVD 방법에 의한 수소 함량은 4 내지 6 mole%)하고 있으며 그 존재 형태는 Si-H, Si-H_2, Si-H_3, N-H, N-H_2등 다양하다. 이는 막의 내부뿐만 아니라 라이너 질화막(5)의 표면에서도 이러한 결합들을 유지하고 있으며, 이러한 결합들 중 Si-H는 그 결합력이 아주 미약하여 외부의 화학적 충격에 쉽게 결합력을 잃는다. 이때, 도 1b의 A1은 라이너 질화막(5) 상부에 BPSG막(6)을 증착할 경우 라이너 질화막(5)과 BPSG막(6) 계면에서의 화학적 구조를 개략적으로 도시한 것이다.

그리고, 이러한 라이너 질화막(5) 상부에 BPSG막(6)을 증착할 경우 반응식 1에서와 같이 라이너 질화막(5)의 표면과 표면 근처의 Si-H가 증착되는 BPSG막(6)의 불안정한 B-O, P-O, Si-O와 만나게 되며, 이때 BPSG막(6)의 증착 온도인 400℃ 내지 500℃ 정도의 열에너지를 받게 된다. 이러한 열에너지로 인하여 Si-H는 그 결합력이 더욱 약해지고, 이러한 상태에서 B-O, P-O, Si-O와 만나게 되어 쉽게 반응을 일으킨다. 이때, 반응은 서로 안정화할 수 있는 방향으로 이루어지며, 결국 라이너 질화막(5) 표면의 수소와 B-O의 산소가 결합하여 안정화되고 수소가 떨어져 나간 자리를 B-O나 P-O, Si-O가 채우게 된다. 결국 산소를 잃은 붕소 이온(B^+)만이 남게 되며, 이러한 붕소 이온은 작은 원자 반경과 뛰어난 이동도로 라이너 질화막(5)을 투과하거나 라이너 질화막(5) 내부에 잔존하게 된다. 이러한 경우는 B, P, Si에 다 발생할 수 있으나 P, Si는 원자 반경이 크며 이동도가 붕소에 비하여 현저히 작아 라이너 질화막(5)을 투과하지는 못한다.

반응식 1



그리고, BPSG막(6)이 증착되면 열공정을 통해 치밀화시키는 데, 이때 라이너 질화막(5) 내부에 잔존하는 붕소 이온이나 라이너 질화막(5)을 투과한 붕소 이온이 실리콘웨이퍼(1)로 침투된다.

이렇게 침투한 붕소 이온은 특히 붕소를 소스(S), 드레인(D)의 도펀트로 이용하는 P모스에서 문제를 일으키는 데, 침투한 붕소 이온은 실리콘 내에서 이동하여 P모스의 문턱 전압을 감소시킬뿐만 아니라 게이트의 채널을 제거하기 위하여 인가 전압을 제거하여도 채널이 미약하게 형성되어 있는 등의 누설 전류를 야기시킨다.

발명이 이루고자 하는 기술적 과제

본 발명은 이와 같은 문제점을 해결하기 위한 것으로, 그 목적은 반도체 소자의 금속전 절연막인 BPSG막 증착시 붕소 이온이 실리콘웨이퍼측으로 침투하는 것을 방지할 수 있도록 하는 데 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명은 PECVD에 의해 증착된 라이너 질화막의 표면을 자외선 오존 처리하여 라이너 질화막 표면의 수소를 제거한 후 BPSG막을 증착함으로써 붕소 이온이 형성되지 않도록 하는 것을 특징으로 한다.

즉, 본 발명은 소자 분리 영역이 정의된 실리콘웨이퍼의 소자 영역에 게이트, 소스, 드레인을 포함하는 반도체 소자를 형성하는 단계와, 상기 반도체 소자를 포함한 실리콘웨이퍼 상부 전면에 PECVD 방법에 의해 라이너 질화막을 증착하는 단계와, 상기 라이너 질화막의 표면 및 표면 근처의 수소를 제거하기 위하여 상기 라이너 질화막의 표면을 자외선 오

존 처리하는 단계와, 상기 라이너 산화막 상부 전면에 금속전 절연막으로 BPSG막을 증착하고, 치밀화하는 단계를 포함하는 것을 특징으로 한다.

상기에서 라이너 질화막의 표면을 자외선 오존 처리하는 단계는, 상기 라이너 질화막이 증착된 실리콘웨이퍼를 오존 분위기의 챔버에 장입하고, 자외선을 40초 내지 80초 동안 조사하는 것을 특징으로 한다.

상기에서 오존 분위기를 형성하기 위하여 상기 챔버 내로 오존을 분당 5000cc 내지 7000cc로 흘려주는 것이 바람직하다.

상기에서 자외선의 조사는 자외선 램프를 이용하며, 상기 라이너 질화막의 자외선 오존 처리 동안 상기 실리콘웨이퍼가 300℃ 내지 400℃의 온도를 유지하도록 하는 것이 바람직하다.

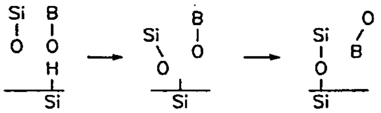
이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일 실시예를 설명한다.

도 2a 내지 도 2c는 본 발명의 일 실시예에 따라 반도체 소자의 금속전 절연막을 제조하는 방법을 개략적으로 도시한 공정도이다.

먼저 도 2a에 도시한 바와 같이, LOCOS 공정이나 STI 공정 등으로 형성한 필드 산화막(12)에 의해 소자 분리 영역이 정의된 실리콘웨이퍼(11)의 소자 영역에 게이트 산화막과 폴리실리콘으로 형성된 게이트(G)와 소스(S), 드레인(D)을 포함하는 반도체 소자, 일 예로 모스 트랜지스터(13)를 형성한다. 이때, 모스 트랜지스터(13)는 게이트(G) 측벽에 사이드월을 형성하고, 소스(S)와 드레인(D)을 LDD 구조로 형성할 수도 있다. 그리고, 게이트(G) 및 소스(S), 드레인(D) 상부 표면에 후속 금속 배선층과의 콘택 저항을 저감하기 위한 실리사이드(14)를 형성한다. 이후, 후속 공정에 의해 증착되는 금속전 절연막인 BPSG막이 실리콘웨이퍼(11)에 바로 접촉할 경우 BPSG막에 함유된 붕소나 인 등의 불순물이 모스 트랜지스터(13)를 포함하는 실리콘웨이퍼(11)로 침투하는 것을 방지할 뿐만 아니라 후속 콘택홀 형성을 위한 BPSG막의 식각 공정에서 식각 정지층으로 사용하기 위하여 모스 트랜지스터(13)를 포함한 실리콘웨이퍼(11) 상부 전면에 하부막으로 라이너 질화막(15)을 증착한다. 이때, 라이너 질화막(15)은 사일렌과 암모니아를 이용하여 PECVD 방법에 의해 일 예로 350℃ 내지 450℃ 정도의 온도에서 250Å 내지 350Å 정도의 두께로 증착하며, 증착되는 라이너 질화막(15)은 종래와 같이 사일렌과 암모니아의 분해 과정에서 생성되는 수소를 약 20 내지 30 mole% 정도로 다량 함유하게 되고 그 존재 형태는 Si-H, $\mathrm{Si-H_2}$, $\mathrm{Si-H_3}$, N-H, $\mathrm{N-H_2}$ 등 다양하다. 이는 라이너 질화막(15)의 내부 뿐만 아니라 라이너 질화막(15)의 표면에서도 이러한 결합들을 유지하고 있으며, 이러한 결합들 중 Si-H는 그 결합력이 아주 미약하여 외부의 화학적 충격에 쉽게 결합력을 잃는다.

그 다음 도 2b에 도시한 바와 같이, 수소를 다량 함유하고 있는 라이너 질화막(15)의 표면을 자외선 오존(O_3) 처리(T)한다. 즉, 라이너 질화막(15) 표면의 자외선 오존 처리(T)를 위하여 라이너 질화막(15)이 증착된 실리콘웨이퍼(11)를 챔버에 장입하고, 실리콘웨이퍼(11) 바람직하게는 라이너 질화막(15) 상부 표면으로 오존을 일 예로 분당 5000cc 내지 7000cc 정도로 흘려주어 오존 분위기를 형성하며 자외선을 일 예로 40초 내지 80초 동안 조사한다. 이때, 자외선의 조사는 자외선 램프 등을 포함하는 자외선 조사 장치를 이용하며, 실리콘웨이퍼(11)는 300℃ 내지 400℃ 정도의 온도를 유지하도록 하는 것이 바람직하다. 그러면 오존은 자외선의 열과 방사에 의해 O_2와 O로 분해되고, 이 중 O가 라이너 질화막(15)의 표면에서 화학적 반응을 하므로 반응식 2에서와 같이 약한 결합을 갖는 라이너 질화막(15) 표면과 표면 근처의 수소들이 제거되고 일부는 산소로 치환된다. 그리고 라이너 질화막(15) 표면과 표면 근처의 수소가 제거된 자리는 이온화하여 반응성이 커진다.

반응식 2



그 다음 도 2c에 도시한 바와 같이, 자외선 오존 처리(T)에 의해 표면과 표면 근처의 반응성이 커진 라이너 질화막(15) 상부 전면에 금속전 절연막으로 TEOS계 BPSG막(16)을 일 예로 APCVD 또는 SACVD 방법에 의해 약 12000Å 내지 16000Å 정도의 두께로 증착한다. 그러면, 도 2c의 A11에서와 같이 라이너 질화막(15)의 표면은 쉽게 B-O, P-O, Si-O로 채워지게 되며, 반응식 2에서와 같이 비교적 강한 공유 결합을 이루게 된다. 이때, 증착된 BPSG막(16)은 B-O, P-O, Si-O 간의 결합이 느슨하여 외부의 화학적, 기계적 충격에 쉽게 끊어지는 특징이 있다. 따라서 안정된 BPSG막(16)을 얻기 위하여 일 예로 600℃ 내지 800℃ 정도의 온도에서 치밀화 공정을 진행한다. 그러면 치밀화 공정에 의해 BPSG막(16)은 치밀화 공정 이전에 비하여 화학적, 기계적 강도가 약 3배 정도 강화되며, B-O 또한 열에너지를 받아 B_2O_3에 가깝게 더욱 안정화된다. 이후, BPSG막(16)을 평탄화함으로써 반도체 소자의 금속전 절연막을 완성한다.

발명의 효과

이와 같이 본 발명은 반도체 소자의 금속전 절연막인 BPSG막이 실리콘웨이퍼에 바로 접촉할 경우 BPSG막에 함유된 붕소나 인 등의 불순물이 반도체 소자를 포함하는 실리콘웨이퍼로 침투하는 것을 방지할 뿐만 아니라 후속 콘택홀 형성을 위한 BPSG막의 식각 공정에서 식각 정지층으로 사용하기 위하여 BPSG막의 증착 이전에 하부막으로 증착되는 라이너 질화막의 표면을 자외선 오존 처리를 하여 라이너 질화막의 표면 및 표면 근처의 수소를 제거한 후 BPSG막을 증착함으로써 종래와 같이 라이너 질화막 표면의 수소와 BPSG막의 B-O의 반응에 의한 붕소 이온의 생성을 방지하여 붕소 이온의 실리콘웨이퍼로의 침투를 미연에 방지할 수 있으며, 이로 인해 야기되는 PMOS에서의 문턱전압 감소나 누설 전류를 막아 반도체 소자의 열화를 방지할 수 있도록 한다.

(57) 청구의 범위

청구항 1.

소자 분리 영역이 정의된 실리콘웨이퍼의 소자 영역에 게이트, 소스, 드레인을 포함하는 반도체 소자를 형성하는 단계와;

상기 반도체 소자를 포함한 실리콘웨이퍼 상부 전면에 PECVD 방법에 의해 라이너 질화막을 증착하는 단계와;

상기 라이너 질화막의 표면 및 표면 근처의 수소를 제거하기 위하여 상기 라이너 질화막의 표면을 자외선 오존 처리하는 단계와;

상기 라이너 산화막 상부 전면에 금속전 절연막으로 BPSG막을 증착하고, 치밀화하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속전 절연막 제조 방법.

청구항 2.

제 1 항에 있어서, 상기 라이너 질화막의 표면을 자외선 오존 처리하는 단계는,

상기 라이너 질화막이 증착된 실리콘웨이퍼를 오존 분위기의 챔버에 장입하고, 자외선을 40초 내지 80초 동안 조사하는 것을 특징으로 하는 반도체 소자의 금속전 절연막 제조 방법.

청구항 3.

제 2 항에 있어서, 상기 오존 분위기를 형성하기 위하여 상기 챔버 내로 오존을 분당 5000cc 내지 7000cc로 흘려주는 것을 특징으로 하는 반도체 소자의 금속전 절연막 제조 방법.

청구항 4.

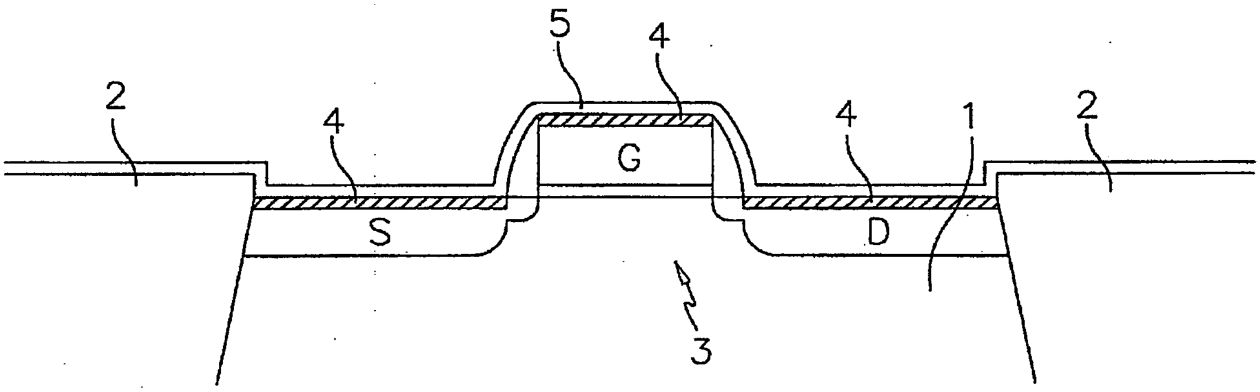
제 2 항 또는 제 3 항에 있어서, 상기 자외선의 조사는 자외선 램프를 이용하는 것을 특징으로 하는 반도체 소자의 금속전 절연막 제조 방법.

청구항 5.

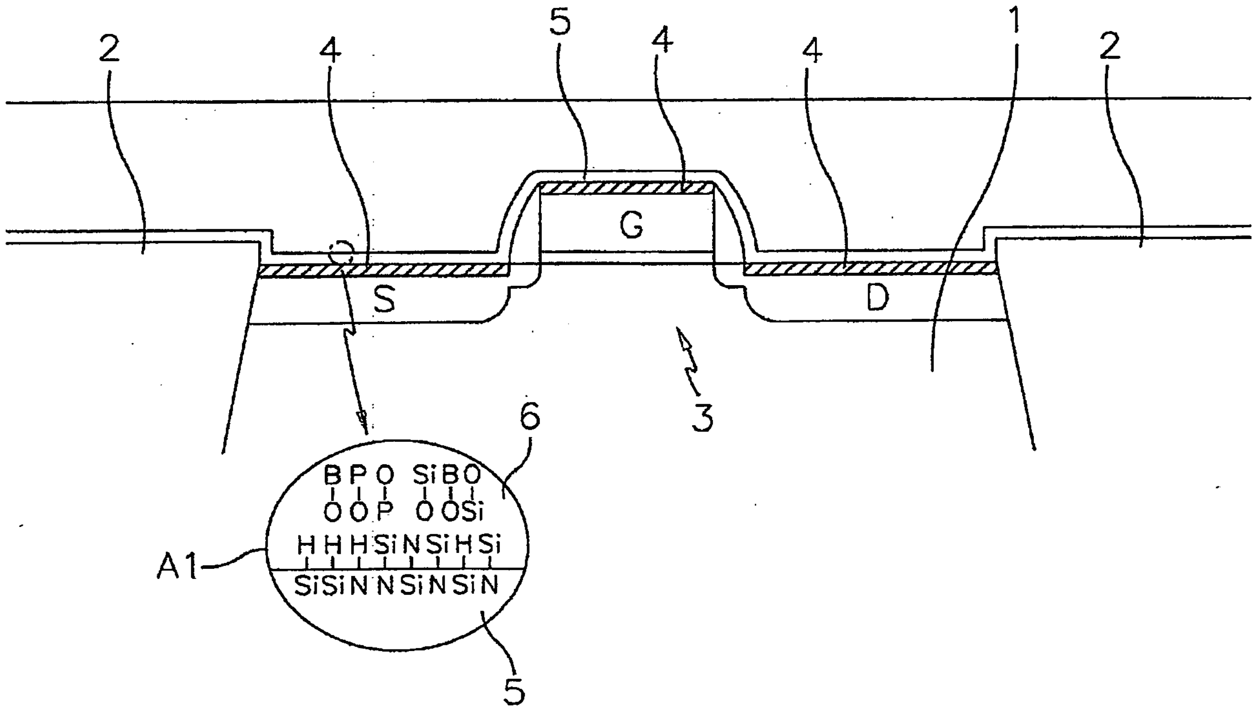
제 4 항에 있어서, 상기 라이너 질화막의 자외선 오존 처리 동안 상기 실리콘웨이퍼가 300℃ 내지 400℃의 온도를 유지하도록 하는 것을 특징으로 하는 반도체 소자의 금속전 절연막 제조 방법.

도면

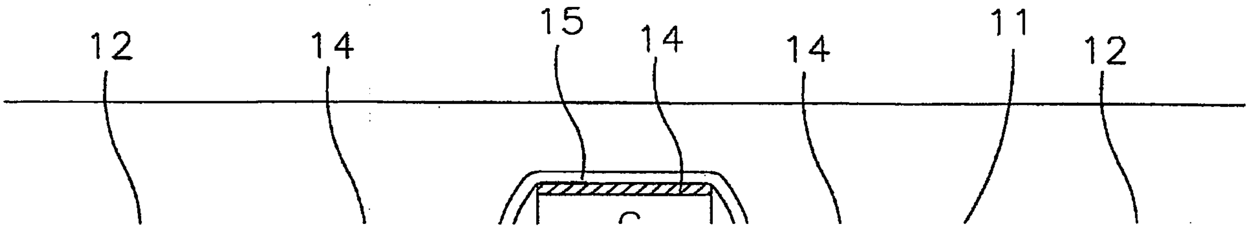
도면 1a



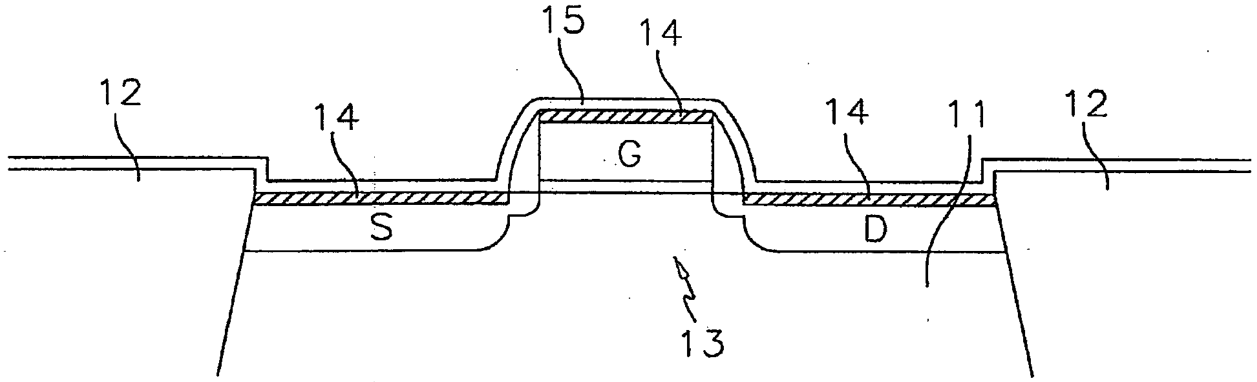
도면 1b



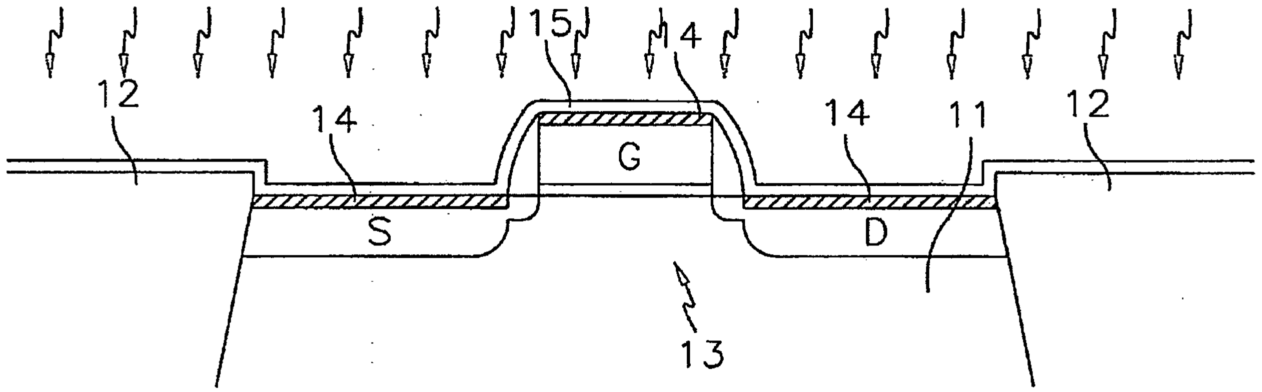
도면 2c



도면 2a



도면 2b



This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** ______________________

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.